

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

009934504 **Image available**
WPI Acc No: 1994-202216/199425
XRAM Acc No: C94-092300
XRPX Acc No: N94-159069

**Semiconductor device applicable for liq. crystal display device -
comprises substrate supporting light transmitting film,
non-monocrystalline semiconductor element and monocrystalline
semiconductor element**

Patent Assignee: CANON KK (CANO)
Inventor: ASABA T; GENCHI Y; SAKAMAMOTO M; SAKAMOTO M
Number of Countries: 007 Number of Patents: 008
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 604231	A1	19940629	EP 93310476	A	19931223	199425 B
JP 6196675	A	19940715	JP 92357746	A	19921225	199433
JP 6222391	A	19940812	JP 9331165	A	19930128	199437
JP 6347830	A	19941222	JP 93160019	A	19930607	199510
<u>US 6128052</u>	A	20001003	US 93172103	A	19931223	200050
			US 96614101	A	19960312	
			US 97851269	A	19970505	
EP 604231	B1	20001011	EP 93310476	A	19931223	200052
DE 69329545	E	20001116	DE 629545	A	19931223	200065
			EP 93310476	A	19931223	
EP 604231	B8	20010411	EP 93310476	A	19931223	200121

Priority Applications (No Type Date): JP 93160019 A 19930607; JP 92357746 A 19921225; JP 9331165 A 19930128

Cited Patents: EP 474474; EP 530972; GB 2204980

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 604231	A1	E	25	G02F-001/136	
Designated States (Regional): DE FR GB IT NL					
JP 6196675	A		5	H01L-027/12	
JP 6222391	A		8	G02F-001/136	
JP 6347830	A		7	G02F-001/136	
US 6128052	A			G02F-001/136	Cont of application US 93172103 Cont of application US 96614101

EP 604231	B1	E		G02F-001/136	
Designated States (Regional): DE FR GB IT NL					
DE 69329545	E			G02F-001/136	Based on patent EP 604231
EP 604231	B8	E		G02F-001/136	

Designated States (Regional): DE FR GB IT NL

Abstract (Basic): EP 604231 A

A semiconductor device comprises (1) a substrate comprising a semiconductor mono-crystalline substrate on one principal surface side of which a light-transmitting film is formed; the substrate is pptd. by removing from the other principal surface side thereof a semiconductor monocrystalline region present right beneath the light-transmitting film; (2) a non-monocrystalline semiconductor element formed on the light-transmitting film; (3) a monocrystalline semiconductor element formed in a semiconductor monocrystalline region remaining in the substrate; (4) the non-monocrystalline semiconductor element and the monocrystalline semiconductor element being electrically connected.

Also claimed is a liq. crystal display device comprising (a) a substrate comprising a semiconductor monocrystalline substrate on one principal surface side of which a light-transmitting film is formed;

the substrate is pptd. by removing from the other side principal surface thereof a semiconductor monocrystalline region present right beneath the light-transmitting film; (b) an active matrix element formed on the light-transmitting film; (c) a drive circuit formed in a semiconductor monocrystalline region remaining in the substrate, the active matrix element and the drive circuit being electrically connected.

Also claimed is a process for fabricating a semiconductor device and a semiconductor device.

Dwg.1/17

Title Terms: SEMICONDUCTOR; DEVICE; APPLY; LIQUID; CRYSTAL; DISPLAY; DEVICE
; COMPRISE; SUBSTRATE; SUPPORT; LIGHT; TRANSMIT; FILM; NON; MONOCRYSTAL;
SEMICONDUCTOR; ELEMENT; MONOCRYSTAL; SEMICONDUCTOR; ELEMENT

Derwent Class: L03; P81; U11; U13; U14

International Patent Class (Main): G02F-001/136; H01L-027/12

International Patent Class (Additional): G02F-001/133; G02F-001/1345;

H01L-021/306; H01L-021/336; H01L-021/72; H01L-021/76; H01L-029/784

File Segment: CPI; EPI; EngPI

Manual Codes (CPI/A-N): L03-G05B; L04-E

Manual Codes (EPI/S-X): U11-C08A6; U11-C08B9; U13-D; U14-H01A; U14-K01A2;

U14-K01A3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-347830

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9119-2K		
	1/1345	8707-2K		
H 0 1 L 21/336				
29/784				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
			審査請求 未請求	請求項の数 8 F D (全 7 頁)

(21) 出願番号 特願平5-160019

(22) 出願日 平成5年(1993)6月7日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 玄地 裕

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

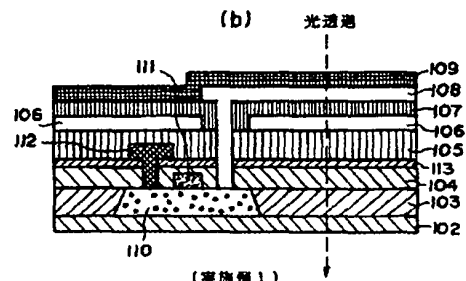
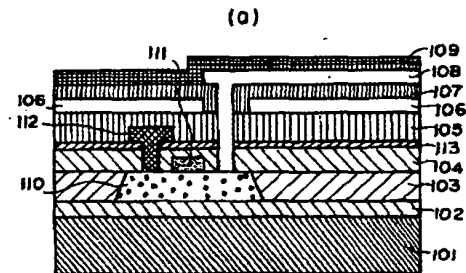
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 光透過型半導体装置及びその製造方法

(57) 【要約】

【目的】 本発明の目的は、SOI基板上に形成された素子を、Si基板エッチングによって薄膜化し、光透過可能とする際、基板応力による皺や、破れ、配線の断線等の欠陥のない光透過型半導体装置を実現することにある。

【構成】 絶縁物101、102上に単結晶半導体層110を有する光透過型半導体装置の製造方法において、前記基体の内部応力を引っ張り応力とする応力調節層104を含む多層膜構造を形成する工程と、前記工程後、前記基体下部の前記絶縁物領域101を除去して光透過性基体とする工程とを、含むことを特徴とする光透過型半導体装置の製造方法及びそれによる光透過型半導体装置であり、前記応力調節層として、LP-SiNx膜を形成することを特徴とする。



【特許請求の範囲】

【請求項1】 絶縁物上に単結晶半導体層を有する光透過型半導体装置の製造方法において、前記基体の内部応力を引っ張り応力とする応力調節層を含む多層膜構造を形成する工程と、前記工程後、前記基体下部の前記絶縁物領域を除去して光透過性基体とする工程とを、含むことを特徴とする光透過型半導体装置の製造方法。

【請求項2】 前記応力調節層として、低圧気相合成法による SiNx (LP-SiNx) 膜を前記多層膜中に配し、多層膜全体の応力を引っ張り応力とすることを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項3】 前記応力調節層を、配線工程前に堆積させることを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項4】 前記応力調節層を、前記絶縁物基体中に配することを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項5】 前記応力調節層として、気相合成法によるシリコン酸化膜を前記多層膜中に配し、該多層膜全体の応力を引っ張り応力としたことを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項6】 前記多層膜構造が、透明化される前記多層膜部分の作り込まれたウエハに対する応力が、前記多層膜に対しウエハの裏面の膜は除去し、バターニングは施さない状態で、 $\text{Si}(100)$ 面方位、5インチ、厚さ $625\mu\text{m}$ のウエハの反り量に換算したときに $0\sim100\mu\text{m}$ 引っ張り応力側であるような多層膜構造であることを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項7】 前記光透過型半導体装置が液晶駆動素子であることを特徴とする請求項1に記載の光透過型半導体装置の製造方法。

【請求項8】 透光性絶縁物上に、半導体素子領域としての単結晶シリコン層と、基体の内部応力を引っ張り応力とする応力調節層を具備したことを特徴とする光透過型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、Silicon On Insulator構造の基板(SOI基板)上の単結晶シリコン層に半導体集積回路を作成し、素子を作り込んでいないシリコン基板側の一部を絶縁層までエッチングすることによって光透過性を持たせた光透過型半導体装置を作製する方法に関し、特に基体応力を相殺するための単結晶シリコン層上の多層膜構造の形成方法に関するものである。

【0002】

【従来の技術】 従来、光透過型半導体装置の第1の例と

しては、液晶駆動用半導体集積回路がある。

【0003】 この液晶駆動用半導体集積回路の例としては、ガラス等の透明基板を用い、その基板上に堆積されたアモルファスシリコンや多結晶シリコンTFTを挙げることができる。これはガラス基板上にポリシリコン等の半導体を堆積させ、液晶表示素子の画素スイッチ、シフトレジスタを構成するものである。

【0004】 しかしながら、これらの単結晶ではない多結晶を用いたTFTは、単結晶上に作成されたTFTに較べて駆動能力が小さいために、トランジスタサイズを大きくしたり、回路上複雑な工夫が必要になったり、あるいは周辺回路として、ICチップを外装するといったことが必要となる。

【0005】 また、光透過型半導体装置の第2の例としては、不透明基板の一部をエッチングによって光透過性の基板とするタイプである圧力センサ等がある。このような圧力センサの構成は、「Steve T. Choe et al IEEE trans&action on Electron devices 39, No. 4 (1992) 836」に記載されているように、シリコン基板上に引っ張り応力の SiNx 膜を成膜時に応力をコントロールした膜として堆積させ、その上にポリシリコン等の半導体を堆積させ、その半導体上に集積回路を作製する構成である。

【0006】 上述した従来の光透過型半導体装置は、どちらのタイプも半導体素子としてポリシリコンなどの単結晶ではない半導体を用いることが特徴的である。

【0007】

【発明が解決しようとしている課題】 透明基板上、あるいは SiNx 膜上に半導体集積回路を作成しようとした場合、前述したようにアモルファスシリコン、多結晶シリコンといった結晶欠陥が多数存在するシリコンによるデバイスしか作成することができない。

【0008】 アモルファス、多結晶シリコンは、その多数の結晶欠陥のために半導体の電子(あるいはホール)移動度が結晶シリコンに較べて一桁程度劣るために半導体素子の高集積化、高速度化の点で結晶シリコンに較べて劣る。そのため、素子の高集積化、高速度化といった高性能化が求められる液晶表示用周辺駆動回路素子などの場合には、アモルファス、多結晶シリコンによる素子では要求を満たすことが難しく、きわめて結晶性の優れた半導体単結晶層上にそれらの素子が作成されることが必須である。

【0009】 液晶駆動素子への応用を考えた場合、アモルファス、多結晶シリコンによる素子の場合には画素を駆動させるシフトレジスタ部を外部に他のICとして取り付ける、または多段化する必要が生じる。外部に取り付けた場合には、高集積化つまり、画素数を増やした場合にワイヤボンディングが困難になるという問題や、全体の面積が増加するといった問題が生じる。多段化した

3

場合でもシフトレジスタを幾つもつくらなくてはならないために大面積が必要である。

【0010】以上の問題点はSOI基板上単結晶シリコン層に半導体集積回路を作成し、素子を作り込んでいないシリコン基板側の一部を絶縁層までエッチングすることによって素子を薄膜透明化するという手法によって解決する。

【0011】しかしながら、SOI上に作り込んだ集積回路透明化を基板エッチングによって実現しようとした場合、薄膜に皺、あるいは破れ、配線の断線が起こることがあり、光学的素子として使用不可能となるという解決すべき課題がある。

【0012】【発明の目的】本発明の目的は、SOI基板上に形成された素子をSi基板エッチングによって薄膜化し、光透過可能とする際、基板応力による皺や、破れ、配線の断線等の欠陥のない光透過型半導体装置を実現することにある。

【0013】

【課題を解決するための手段】本発明は、上記課題を解決するために、次のような手段を用いた。

【0014】本発明は、SOI基板上に集積回路を作り込み、光学的素子として使用する部分の素子が作り込まれた層、及び絶縁層以外の部分はエッチングによって除去し光の透過を可能にする作製方法において、エッチングによって残された薄膜部分に皺がよらないようにするために、積層する膜の膜厚、および単層膜の時の応力を考慮し、多層膜全体の応力を調節する層、あるいは前記応力調節層と半導体集積回路作成時の絶縁層等他の役割を兼ねた層を設けることを特徴とする。

【0015】

【作用】本発明によれば、このような構成をとることによって、絶縁層下部の不透明基板をエッチングにより除去した場合に、基板に生じる応力は、応力調節層を含む多層膜構造により、引っ張り応力とされるため、半導体集積回路部分が作り込まれた多層膜に皺がよることがなくなる。

【0016】また、本発明の方法によれば、半導体集積回路作成の際の堆積、パターニング、エッチング等には、公知である半導体集積回路作成の工程によって作成することができるため、実現性が容易である。

【0017】

【実施例】

【実施例1】図1は本発明の特徴を最もよく表す図面であり、絶縁層上の単結晶シリコン薄膜に作り込まれた光透過型半導体集積回路の多層膜構成を示す断面模式図である。また図1は液晶駆動用の半導体装置の製造工程を示す図であり、(a)は透明化される前の構成であり、(b)は基板101がエッチング除去されて透明化された状態の構造を示す。

【0018】同図に於いて、101はSi基板、10

4

2, 103はSiO₂層、110は液晶駆動用MOSトランジスタが形成される活性領域を示す。SiO₂層102の膜厚は望ましくは400nm程度、SiO₂層103の膜厚は望ましくは1100nm程度である。104は本実施例における応力調節層としてのLP-SiNx膜、105は層間絶縁膜であり、112はAl配線、111はポリシリコンゲート配線である。また、113は平滑性、絶縁性を高めるためのBPSG膜であり、106, 108に示すITO膜によって、107のPSG膜もしくはプラズマCVDにより成膜されたSiNx膜(p-SiNx膜)を挟み込み、液晶保持容量を形成する。109はバシベーション膜であり、p-SiNx、PSG、ポリイミド等により形成される。

【0019】本実施例においては、LP-SiNx膜104が半導体集積回路が作り込まれた多層膜全体の応力調節層となっている。膜厚は、望ましくは600nm程度である。

【0020】尚、各膜の成膜方法等については、公知の半導体集積回路の製造技術を用いた。

【0021】次に、カバーガラスにブラックマトリックス及びカラーフィルターを形成した後、共通電極を形成し、配向処理した。上記半導体集積回路を作成した基板に配向処理を施し、シール材を印刷した後、両者を組み立て、液晶を注入した。この液晶に関する諸工程は公知の液晶表示装置製造技術を適用した。

【0022】この後、Si基板側に液晶画像表示部の直下を除いて、耐塩基性ゴムを被覆し、テトラメチルアンモニウムハイドロオキシド(TMAH)溶液を用いて、絶縁層までシリコン基板101を部分的に除去し、更に信頼性向上のため除去された凹部に透明樹脂を充填することにより光透過性とし、投射型液晶画像表示装置を完成した。

【0023】図5は、このようにして作製された本実施例の液晶画像表示装置を示す図であり、同図において、101はSi基板、501は液晶駆動素子層、502は透明樹脂層、503は接着剤、504は液晶、505はカバーガラスである。

【0024】図4は、以上の構成における透明化された多層膜の、各層を積層させるにしたがって変化した応力の様子をウエハの反りに換算して示したものである。

【0025】多層化した膜の大部分が皺の原因となる圧縮応力膜である。しかしながら、104のLP-SiNx膜によって多層膜全体の応力は引っ張り応力へと変化しており、本発明による応力調節層としてのLP-SiNx層104が有効に作用していることがわかる。

【0026】また、表1は、LP-SiNx膜104の膜厚を0から800nmまで変化させたときの、多層膜の応力をウエハの反りに換算して表したものである。多層膜全体の応力は、ウエハの反りに換算して0から1000μm引っ張り応力の時には、Si基板101をエッチ

ングによって、 SiO_2 層102下部まで除去することにより、 SiO_2 層102上部の半導体集積回路部分の透明化が達成された後、液晶表示素子として使用可能な均一な平面が達成された。しかし、多層膜全体の応力が圧縮応力側の時には皺が発生し、また、多層膜全体の応力がウエハの反りに換算して100 μm 以上の引っ張り応力であるときには強度の引っ張りによる割れが発生した。

【0027】図6は、実施例1において応力調節層を設けなかった場合の液晶画像表示装置において、液晶駆動素子層501がたわんでしまった例を示す図である。

【0028】【実施例2】図2は、本発明の実施例2の液晶駆動用の半導体装置の製造工程を示す図であり、

(a)は透明化される前の構成であり、(b)は基板101がエッチング除去されて透明化された状態の構造を示す。

【0029】同図に於いて101はSi基板、202はLP-SiNx層である。

【0030】本実施例においては、202のLP-SiNx層が半導体集積回路が作り込まれた多層膜全体の応力調節層となっており、その膜厚は、望ましくは200~400nm程度である。また、活性層の安定化のために SiO_2 層203を設けてもよい。

【0031】103は SiO_2 層であり、 SiO_2 層103の膜厚は、望ましくは1100nm程度である。また、110は液晶駆動用MOSトランジスタが形成される活性領域を示す。104は112のAl配線と111のポリシリコンゲート配線の層間絶縁膜である。113は平滑性、絶縁性を高めるためのBPSG膜である。106、108に示すITO膜によって107のPSG膜もしくはp-SiNx膜を挟み込み、液晶保持容量を形成する。109はバシベーション膜であり、p-SiNx、PSG、ポリイミド等により形成される。

【0032】尚、各膜の成膜方法については、公知の半導体集積回路技術を用いた。

【0033】次に、カバーガラスにブラックマトリックス及びカラーフィルターを形成した後、共通電極を形成し、配向処理した。上記半導体集積回路を作成した基板に配向処理を施し、シール材を印刷した後両者を組み立て、液晶を注入した。この液晶に関する諸工程は公知の液晶表示装置製造技術を適用した。

【0034】この後、Si基板側に液晶画像表示部の直下を除いて、耐塩基性ゴムを被覆し、テトラメチルアンモニウムハイドロオキシド(TMAH)溶液を用いて、絶縁層までシリコン基板101を部分的に除去し、更に信頼性向上のため除去された凹部に透明樹脂を充填して光透過性を持たせ、投射型液晶画像表示装置を完成した。

【0035】多層膜全体の応力は、ウエハの反りに換算して0から100 μm 引っ張り応力の時には、101の

Si基板をエッチングによって202のLP-SiNx層下部まで除去することにより、202のLP-SiNx層上部の半導体集積回路部分の透明化が達成された後、液晶表示素子として使用可能な均一な平面が達成された。しかし、多層膜全体の応力が圧縮応力側の時には皺が発生し、また、多層膜全体の応力がウエハの反りに換算して100 μm 以上の引っ張り応力であるときには強度の引っ張りによる割れが発生した。

【0036】【実施例3】図3は、本発明の実施例3の液晶駆動用の半導体装置の製造工程を示す図であり、

(a)は透明化される前の構成であり、(b)は基板101がエッチング除去されて透明化された状態の構造を示す。

【0037】同図に於いて101はSi基板、102、103は SiO_2 層、110は液晶駆動用MOSトランジスタが形成される活性領域を示す。102の膜厚は望ましくは400nm程度、103の膜厚は望ましくは1100nm程度である。104は112によるAl配線と311によるポリシリコンゲート配線の層間絶縁膜である。

【0038】本実施例においては、層間絶縁膜304が半導体集積回路が作り込まれた多層膜全体の応力調節層となっている。層間絶縁膜304はTEOSを原料ガスとした気相合成法によるシリコン酸化膜によって構成され、膜厚は、望ましくは1 μm 程度である。

【0039】106、108に示すITO膜によって107のPSG膜もしくはp-SiNx膜を挟み込み、液晶保持容量を形成する。109はバシベーション膜であり、p-SiNx、PSG、ポリイミド等により形成される。

【0040】尚、各膜の成膜方法については、公知の半導体集積回路技術を用いた。

【0041】次に、カバーガラスにブラックマトリックス及びカラーフィルターを形成した後、共通電極を形成し、配向処理した。上記半導体集積回路を作成した基板に配向処理を施し、シール材を印刷した後両者を組み立て、液晶を注入した。この液晶に関する諸工程は公知の液晶表示装置製造技術を適用した。

【0042】この後、Si基板側に液晶画像表示部の直下を除いて、耐酸耐塩基性ゴムを被覆し、テトラメチルアンモニウムハイドロオキシド(TMAH)溶液を用いて、絶縁層までシリコン基板101を部分的に除去し、更に信頼性向上のため除去された凹部に透明樹脂を充填して透明化し、光透過による投射型液晶画像表示装置を完成した。

【0043】多層膜全体の応力は、ウエハの反りに換算して0から100 μm 引っ張り応力の時には、101のSi基板をエッチングによって102の SiO_2 層下部まで除去することにより、102の SiO_2 層上部の半導体集積回路部分の透明化が達成された後、液晶表示素

子として使用可能な均一な平面が達成された。

* きには強度の引っ張りによる割れが発生した。

【0044】しかし、多層膜全体の応力が圧縮応力側の時には皺が発生し、また、多層膜全体の応力がウエハの反りに換算して100 μ m以上の引っ張り応力であると*

【0045】

【表1】

【表1：5" Si(100) ウエハの反り量と膜の状態との関係】

LP-SiNx膜 (104) 膜厚	反り量 (μ m)	応力方向	膜の状態
0 nm	+10 μ m	圧縮	しわ
100 nm	0 μ m	—	張っている
400 nm	-30 μ m	引っ張り	張っている
600 nm	-100 μ m	引っ張り	張っている
800 nm	-100 μ m 以下	引っ張り	割れた

【0046】

【発明の効果】以上に示したように、LP-SiNx膜のように引っ張り応力膜を多層膜中に配し、多層膜全体の応力をコントロールすることにより、下部のシリコン基板を除去して透明化しても内部応力による基体の皺や、割れの発生等を防止することが可能となった。その結果、単結晶をデバイスに用いた高品質な光透過型半導体装置が実現された。

【図面の簡単な説明】

【図1】本発明の実施例1の光透過型半導体装置の構成及び工程を示す断面模式図。

【図2】本発明の実施例2の光透過型半導体装置の構成及び工程を示す断面模式図。

【図3】本発明の実施例3の光透過型半導体装置の構成及び工程を示す断面模式図。

【図4】実施例1の多層膜の各層を積層した場合の基板の反り量との関係を示す図。

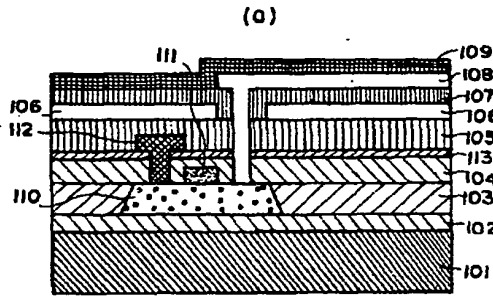
【図5】本発明の実施例1による液晶画像表示装置の断面模式図。

【図6】実施例1において、応力調節層104を設けなかった場合の液晶画像表示装置の断面模式図。

【符号の説明】

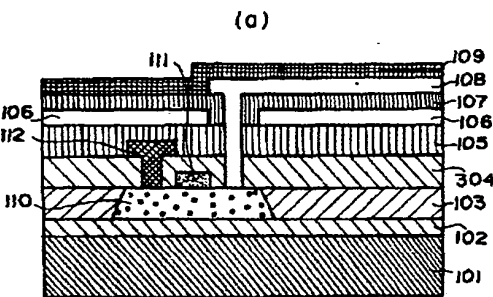
- 101 Si基板、
- 102, 103, 203 SiO₂ 層、
- 104 応力調節層としてのLP-SiNx膜
- 105, 204 層間絶縁膜
- 106, 108 ITO膜、
- 107 PSG膜もしくはp-SiNx膜
- 109 パシベーション膜
- 30 110 液晶駆動用MOSトランジスタが形成される活性領域
- 111 ポリシリコンゲート配線
- 112 Al配線、
- 113 平滑性、絶縁性を高めるためのBPSG膜
- 202 応力調節層としてはLP-SiNx層
- 304 応力調節層としての、TEOSを原料ガスとした気相合成法によるシリコン酸化膜
- 501 液晶駆動素子層
- 502 透明樹脂
- 40 503 接着剤
- 504 液晶
- 505 カバーガラス

【図1】



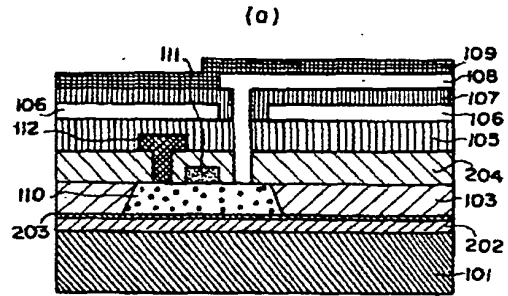
(実施例1)

【図3】



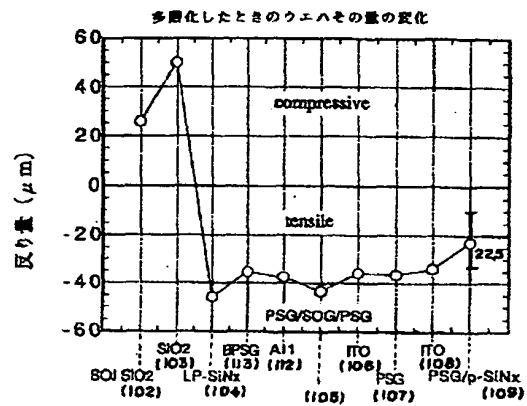
(実施例3)

【図2】



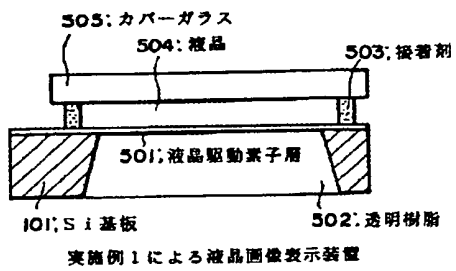
(実施例2)

【図4】



(図1(a)より)

【図5】



【図6】

